

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0065782  
Application Number

출원년월일 : 2002년 10월 28일  
OCT 28, 2002  
Date of Application

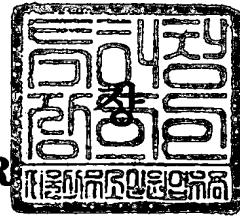
출원인 : 삼성전자주식회사  
SAMSUNG ELECTRONICS CO., LTD.  
Applicant(s)



2003 년 06 월 18 일

특허청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서	
【권리구분】	특허	
【수신처】	특허청장	
【제출일자】	2002.10.28	
【발명의 명칭】	비대칭적인 소오스 및 드레인 영역을 갖는 비휘발성 메모리 장치 및 그 제조방법	
【발명의 영문명칭】	NONVOLATILE MEMORY DEVICE HAVING ASYMMETRIC SOURCE/DRAIN REGION AND FABRICATING METHOD THEREOF	
【출원인】		
【명칭】	삼성전자 주식회사	
【출원인코드】	1-1998-104271-3	
【대리인】		
【성명】	임창현	
【대리인코드】	9-1998-000386-5	
【포괄위임등록번호】	1999-007368-2	
【대리인】		
【성명】	권혁수	
【대리인코드】	9-1999-000370-4	
【포괄위임등록번호】	1999-056971-6	
【발명자】		
【성명의 국문표기】	김성호	
【성명의 영문표기】	KIM, SUNG HO	
【주민등록번호】	720222-1559911	
【우편번호】	447-010	
【주소】	경기도 오산시 오산동 920-2 주공아파트 209동 1004호	
【국적】	KR	
【심사청구】	청구	
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)	
【수수료】		
【기본출원료】	17	면 29,000 원
【가산출원료】	0	면 0 원

1020020065782

출력 일자: 2003/6/19

【우선권주장료】	0	건	0	원
【심사청구료】	13	항	525,000	원
【합계】			554,000	원
【첨부서류】	1. 요약서·명세서(도면)_1통			

**【요약서】****【요약】**

비대칭적인 소오스 및 드레인 영역을 갖는 비휘발성 메모리 장치 및 그 제조방법이 개시된다. 기판에 제1 채널 영역 및 제2 채널 영역만큼 이격되어 형성된 제1 도전성 영역 및 제2 도전성 영역이 배치된다. 상기 제1 채널 영역 및 상기 제2 채널 영역 상에는 콘트롤 게이트가 가로지른다. 상기 콘트롤 게이트와 상기 제1 채널 영역 사이에는 터널 절연막, 전하저장층 및 게이트 충간절연막이 개재되어 있으며, 상기 콘트롤 게이트와 상기 제2 채널 영역 사이에는 게이트 충간절연막이 개재되어 있다. 상기 제1 채널 영역 및 상기 제1 도전성 영역의 폭이 상기 제2 채널 영역 및 상기 제2 도전성 영역의 폭보다 더 넓게 형성되어 있는데, 이는 소거 동작에서 소거 동작 속도를 빠르게 한다.

**【대표도】**

도 3

**【색인어】**

스플리트 게이트, 플래시, 비휘발성, 터널절연막, 소노스

**【명세서】****【발명의 명칭】**

비대칭적인 소오스 및 드레인 영역을 갖는 비휘발성 메모리 장치 및 그 제조방법  
(NONVOLATILE MEMORY DEVICE HAVING ASYMMETRIC SOURCE/DRAIN REGION AND FABRICATING  
METHOD THEREOF)

**【도면의 간단한 설명】**

도 1 및 도 2는 종래기술에 의한 스플리트 게이트(split gate) 형의 소노스(SONOS) 소자의 평면도 및 단면도,

도 3 및 도 4는 본 발명의 일실시예에 의한 스플리트 게이트형 소노스 소자를 나타내는 평면도 및 단면도,

도 5 내지 도 7은 본발명의 일실시예에 의한 스플리트 게이트형 소노스 소자의 제조방법을 나타내는 단면도들이다.

\*도면의 주요 부분에 대한 부호의 설명

2, 102 : 기판

3, 103: 활성영역

4, 104: 필드영역

6, 106 : 터널 절연막

8, 108 : 전하저장층

10, 110 : 게이트 층간절연막

16d, 16s, 116d, 116s : 드레인 및 소오스 영역

L1 : 제1 채널영역

L2 : 제2 채널영역

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<10> 본 발명은 비휘발성 메모리 장치 및 그 제조방법에 관한 것으로, 특히 비대칭적인 소오스 및 드레인 영역을 갖는 비휘발성 메모리 장치 및 그 제조방법에 관한 것이다.

<11> 최근에 FRAM(Ferro-electric Random Access Memory), EEPROM(Erasable and Programmable Read Only Memory), EEPROM(Electrically Erasable and Programmable Read Only Memory)과 같은 비휘발성 메모리가 주목받고 있다. EEPROM 및 EEPROM은 플로팅 게이트에 전하를 축적하여 전하의 유무에 의한 문턱전압의 변화에 의하여 데이터를 기억한다. EEPROM에는 메모리 셀 어레이 전체에 데이터의 소거를 하거나 또는 메모리 셀 어레이를 블럭 단위로 분할하여 각각의 블록 단위로 소거를 할 수 있는데, 후자를 플래시 메모리라 한다.

<12> 플래시 메모리 셀에는 부유 게이트(floating gate)형 소자와 부유 트랩(floating trap)형 소자의 두 가지 형(type)이 있다. 부유 트랩형 소자로는 소노스(SONOS, polysilicon-oxide-nitride-oxide-silicon) 구조가 널리 알려져 있다.

<13> 부유 게이트형 소자는 부유 게이트에 전하를 축적하는 메카니즘을 가진다면, 소노스 소자는 전하를 축적하는 메카니즘이 실리콘 질화막에 존재하는 트랩에 있다. 부유 게이트형 소자는 셀 사이즈를 줄이는데 한계를 가지며 프로그램 및 소거를 위해 고전압을 사용해야 하는 한계를 가지고 있다. 반면에 소노스 소자는 저전력 및 저전압의 요구에 부응하며 고집적을 실현할 수 있다.

<14> 도 1 및 도 2는 종래기술에 의한 스플리트 게이트(split gate) 형의 소노스(SONOS) 소자의 평면도 및 단면도이다. 도 2는 도 1의 I-I'에 따라 취해진 단면도이다.

<15> 도 1 및 도 2를 참조하면, 기판(2)에 활성 영역(3)을 정의하는 필드영역(4)이 배치된다. 상기 활성영역(3)에는 제1 채널 영역(L1) 및 제2 채널 영역(L2)으로 이격되어 배치된 소오스 및 드레인 영역(16s, 16d)들이 배치된다. 상기 제1 채널 영역(L1) 상에는 터널 절연막(6), 전하저장층(8)이 배치된다. 상기 제1 채널 영역(L1) 및 상기 제2 채널 영역(L2)을 가로지르는 콘트롤 게이트(12)가 배치된다. 상기 콘트롤 게이트(12)와 상기 전하저장층(8) 사이 및 상기 콘트롤 게이트(12)와 상기 제2 채널 영역(L2) 사이에는 게이트 충간 절연막(10)이 개재되어 있다. 미설명 도면부호 '20d'는 드레인 콘택을 나타내며, 도면부호 '20s'는 소오스 콘택을 나타낸다.

<16> 스플리트 게이트형의 소노스 소자에 프로그램을 하기 위해서는 채널-핫 전자 인입(channel-hot electron injection, CHEI) 또는 파울러-노더하임(Fowler-Nordheim, FN) 터널링에 의하여 전자가 상기 터널 절연막(6)을 통과하며 상기 전하저장층(8)에 트랩(trap)된다. 도 2의 도면부호 '30'의 화살표는 채널-핫 전자 인입(channel-hot electron injection, CHEI)에 의하여 전자가 상기 전하저장층(8)에 인입되는 것을 나타낸다. 상기 트랩된 전자의 양에 의하여 소노스 소자의 문턱전압이 변하게 되어 온(on) 또는 오프(off)의 두 가지 레벨이 정해진다.

<17> 소거(erase) 동작에서는 핫-홀 인입(hot hole injection)에 의하여 트랩된 전자를 디트랩(detrap) 한다. 도 2의 도면부호 '40'의 화살표는 홀이 상기 전하저장층(8)에 인입되는 것을 나타낸다.

<18> 상술한 구조에서는 소거 동작에서 상기 전하저장층(8)에 인입되는 핫 홀(hot hole)의 양이 적으므로 소거 속도가 느려지는 문제점이 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<19> 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로, 소거 동작에서 핫-홀 인입(hot hole injection)이 효과적으로 이루어져 소거 속도(erase speed)가 빠른 스플리트 게이트형 소노스 소자 및 그 제조방법을 제공하는데 목적이 있다.

#### 【발명의 구성 및 작용】

<20> 상기 목적을 달성하기 위하여, 본 발명의 스플리트형 소노스 소자는 소거 동작에서 전하저장층에 트랩된 전하를 효과적으로 소거하기 위하여 핫-홀 인입(hot hole injection)이 되는 활성영역의 면적이 넓게 형성되어 있다.

<21> 상세하게는, 본 발명의 스플리트 게이트형 소노스 소자는 기판에 제1 채널 영역 및 제2 채널 영역만큼 이격되어 형성된 제1 도전성 영역 및 제2 도전성 영역이 배치된다. 상기 제1 채널 영역 및 상기 제2 채널 영역 상에는 콘트롤 게이트가 가로지른다. 상기 콘트롤 게이트과 상기 제1 채널 영역 사이에는 터널 절연막, 전하저장층 및 게이트 층간 절연막이 개재되어 있으며, 상기 콘트롤 게이트와 상기 제2 채널 영역 사이에는 게이트 층간절연막이 개재되어 있다. 상기 제1 채널 영역 및 상기 제1 도전성 영역의 폭이 상기 제2 채널 영역 및 상기 제2 도전성 영역의 폭보다 더 넓게 형성되어 있는데, 이는 소거 동작에서 소거 속도를 빠르게 한다.

<22> 상기 목적을 달성하기 위하여, 본 발명의 스플리트 게이트형 소노스 소자의 제조방법은 기판에 상대적으로 폭이 넓은 활성영역 및 상대적으로 폭이 좁은 활성영역을 정의

하는 필드영역을 형성한다. 상기 상대적으로 폭이 넓은 활성영역의 소정영역에 터널 절연막을 개재한 전하저장층 패턴을 형성한다. 상기 전하저장층 패턴 및 상기 상대적으로 폭이 좁은 활성영역의 소정영역을 가로지르는 플로팅 게이트를 형성한다. 상기 플로팅 게이트와 상기 전하저장층 패턴 사이와 상기 플로팅 게이트와 상기 폭이 좁은 활성영역 사이에는 게이트 층간절연막을 형성할 수 있다. 상기 플로팅 게이트의 양 측면의 활성영역에는 불순물을 이온주입하여 제1 도전성 영역 및 제2 도전성 영역을 형성한다.

<23> 상술한 목적, 특징들 및 장점은 첨부된 도면과 관련한 다음의 상세한 설명을 통하여 보다 분명해 질 것이다. 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 일 실시예를 상세히 설명한다.

<24> 도 3 및 도 4는 본 발명의 일실시예에 의한 스플리트 게이트형 소노스 소자를 나타내는 평면도 및 단면도이다. 도 4는 도 3의 Ⅱ-Ⅱ'에 따라 취해진 단면도이다.

<25> 도 3 및 도 4를 참조하면, 기판(102)에 활성영역(103)을 정의하는 필드영역(104)이 배치된다. 상기 활성영역(103)에는 제1 채널 영역(L1) 및 제2 채널 영역(L2)으로 이격되어 배치된 소오스 및 드레인 영역(116s, 116d)들이 배치된다. 상기 제1 채널 영역(L1) 상에는 터널 절연막(106) 및 전하저장층(108)이 배치된다. 상기 제1 채널 영역(L1) 및 상기 제2 채널 영역(L2) 상을 가로지르는 콘트롤 게이트(112)가 배치된다. 상기 콘트롤 게이트(112)와 상기 전하저장층(108) 사이 및 상기 콘트롤 게이트(112) 및 상기 제2 채널 영역(L2) 사이에는 게이트 층간 절연막(110)이 개재되어 있다. 미설명 도면부호 '120d'는 드레인 콘택을 나타내며, 도면부호 '120s'는 소오스 콘택을 나타낸다.

<26> 도 3을 참조하면, 상기 드레인 영역(116d) 및 제1 채널 영역(L1)의 폭( $W_2$ )은 상기 소오스 영역(116s) 및 제2 채널 영역( $W_1$ )의 폭보다 상대적으로 크게 형성되어 있다. 따라서, 스플리트 게이트형 소노스 소자의 소거 동작에서 핫-홀 인입(hot hole injection)이 보다 효과적으로 이루어져 빠른 소거 속도를 가질 수 있다.

<27> 도 5 내지 도 7은 본발명의 일실시예에 따른 스플리트 게이트형 소노스 소자의 제조방법을 나타내는 단면도들이다.

<28> 도 5를 참조하면, 기판(102)에 활성영역을 정의하는 필드영역(104)을 형성한다. 상기 활성영역을 평면적으로 보면 비대칭적인 형상을 가진다. 즉, 상대적으로 폭이 넓은 활성영역 및 상대적으로 폭이 좁은 활성영역이 정의된다. 상대적으로 폭이 넓은 활성영역에는 소노스 소자의 예정된 드레인 영역(predetermined drain region) 및 예정된 제1 채널 영역에 해당하며, 상대적으로 폭이 좁은 활성영역은 예정된 소오스 영역(predetermined source region) 및 예정된 제2 채널 영역에 해당한다.

<29> 상기 활성영역이 정의된 기판 상에 터널 절연막(106) 및 전하저장층(108)을 차례대로 적층하고 패터닝하여 상기 상대적으로 폭이 넓은 활성영역 상에는 상기 터널 절연막 및 전하저장층을 잔류시키되, 상기 상대적으로 폭이 좁은 활성영역 상에는 상기 터널 절연막 및 전하저장층을 제거한다. 상기 터널 절연막은 실리콘 산화막으로 형성할 수 있으며, 상기 전하저장층은 실리콘 질화막으로 형성할 수 있다.

<30> 도 6을 참조하면, 상기 패터닝된 터널 절연막(106) 및 전하저장층(108)을 포함하는 기판 전면에 게이트 층간절연막(110) 및 콘트롤 게이트막(112)을 차례대로 적층한다. 상기 게이트 층간 절연막(110)은 실리콘 산화막으로 형성할 수 있으며, 상기 콘트롤 게이트막(112)은 도핑된 폴리실리콘막으로 형성할 수 있다.

<31> 도 7을 참조하면, 통상의 사진식각 공정을 사용하여 일측에서는 상기 콘트롤 게이트막(112), 상기 게이트 충간절연막(110), 전하저장층(108) 및 터널 절연막(106)을 패터닝하여 상기 기판(102)에서 상기 예정된 드레인 영역을 노출시키며 제1 채널 영역을 정의한다. 타측에서는 상기 콘트롤 게이트막(112) 및 상기 게이트 충간절연막(110)을 패터닝하여 상기 예정된 소오스 영역을 노출시키며 제2 채널 영역을 정의한다. 상기 터널 절연막, 상기 전하저장층 및 상기 게이트 충간절연막의 측단부는 동시에 식각하므로 상기 콘트롤 게이트와 정렬되어 있다.

<32> 다시 도 4를 참조하면, 상기 필드영역(104) 및 상기 패터닝된 상기 콘트롤 게이트(112)를 이온주입 마스크로 이용하여 상기 예정된 드레인 영역 및 상기 예정된 소오스 영역에 드레인 및 소오스 영역(120d, 120s)을 형성한다,

<33> 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

#### 【발명의 효과】

<34> 상기와 같이 이루어진 본 발명은 소노스 소자의 소거 동작에서 핫-홀 인입(hot hole injection)이 발생하는 활성영역의 면적을 넓힘으로써 소거 속도를 빠르게 할 수 있다.

**【특허청구범위】****【청구항 1】**

기판;

상기 기판에 제1 채널 영역 및 제2 채널 영역만큼 이격되어 배치된 제1 도전성 영역 및 제2 도전성 영역;

상기 제1 채널 영역 및 상기 제2 채널 영역을 가로지르는 콘트롤 게이트;

상기 콘트롤 게이트와 상기 제1 채널 영역 사이에 개재된 터널 절연막, 전하저장층 및 게이트 충간절연막; 및

상기 콘트롤 게이트와 상기 제2 채널 영역 사이에 개재된 게이트 충간절연막을 포함하며, 상기 제1 채널 영역 및 상기 제1 도전성 영역의 폭이 상기 제2 채널 영역 및 상기 제2 도전성 영역의 폭보다 더 넓은 것을 특징으로 하는 스플리트 게이트형 소노스 소자.

**【청구항 2】**

제 1 항에 있어서,

상기 제1 도전성 영역은 드레인 영역을 나타내며, 상기 제2 도전성 영역은 소오스 영역을 나타내는 것을 특징으로 하는 스플리트 게이트형 소노스 소자.

**【청구항 3】**

제 1 항에 있어서,

상기 터널 절연막, 상기 전하저장층 및 상기 게이트 충간절연막의 측단부는 상기 콘트롤 게이트와 정렬되어 있는 것을 특징으로 하는 스플리트 게이트형 소노스 소자.



1020020065782

출력 일자: 2003/6/19

**【청구항 4】**

제 1 항에 있어서,

상기 콘트롤 게이트는 폴리실리콘인 것을 특징으로 하는 스플리트 게이트형 소노스 소자.

**【청구항 5】**

제 1 항에 있어서,

상기 전하저장층은 실리콘 질화막인 것을 특징으로 하는 스플리트 게이트형 소노스 소자.

**【청구항 6】**

제 1 항에 있어서,

상기 터널 절연막은 실리콘 산화막인 것을 특징으로 하는 스플리트 게이트형 소노스 소자.

**【청구항 7】**

제 1 항에 있어서,

상기 게이트 층간절연막은 실리콘 산화막인 것을 특징으로 하는 스플리트 게이트형 소노스 소자.

**【청구항 8】**

기판에 상대적으로 폭이 넓은 활성영역 및 상대적으로 폭이 좁은 활성영역을 정의 하는 필드영역을 형성하는 단계;



상기 상대적으로 폭이 넓은 활성영역의 소정영역에 터널 절연막을 개재한 전하저장 층 패턴을 형성하는 단계;

상기 전하저장층 패턴 및 상기 상대적으로 폭이 좁은 활성영역의 소정영역을 가로 지르는 플로팅 게이트를 형성하는 단계; 및

상기 플로팅 게이트의 양 측면의 활성영역에 불순물을 이온주입하여 제1 도전성 영역 및 제2 도전성 영역을 형성하는 단계를 포함하는 스플리트 게이트형 소노스 소자의 제조방법.

#### 【청구항 9】

제 8 항에 있어서,

상기 플로팅 게이트와 상기 전하저장층 패턴 사이와 상기 플로팅 게이트와 상기 폭이 좁은 활성영역 사이에는 게이트 층간절연막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 스플리트 게이트형 소노스 소자의 제조방법.

#### 【청구항 10】

제 8 항에 있어서,

상기 콘트롤 게이트는 폴리실리콘으로 형성하는 것을 특징으로 하는 스플리트 게이트형 소노스 소자 제조방법.

#### 【청구항 11】

제 8 항에 있어서,

상기 전하저장층은 실리콘 질화막으로 형성하는 것을 특징으로 하는 스플리트 게이트형 소노스 소자 제조방법.



1020020065782

출력 일자: 2003/6/19

【청구항 12】

제 8 항에 있어서,

상기 터널 절연막은 실리콘 산화막으로 형성하는 것을 특징으로 하는 스플리트 게이트형 소노스 소자 제조방법.

【청구항 13】

제 9 항에 있어서,

상기 게이트 층간절연막은 실리콘 산화막으로 형성하는 것을 특징으로 하는 스플리트 게이트형 소노스 소자 제조방법.



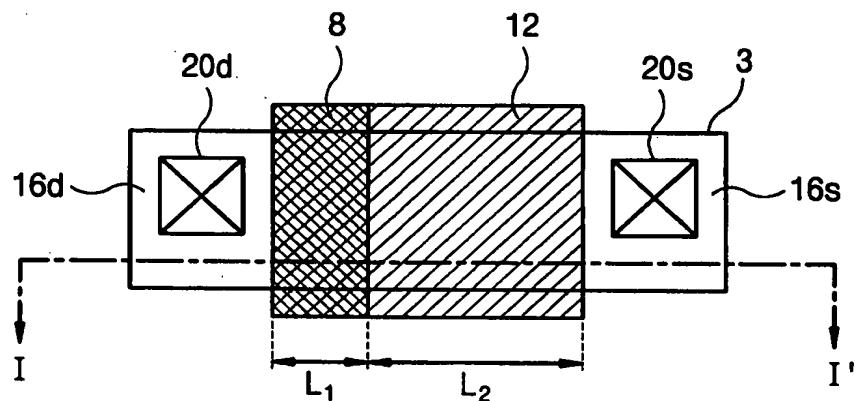
1020020065782

출력 일자: 2003/6/19

【도면】

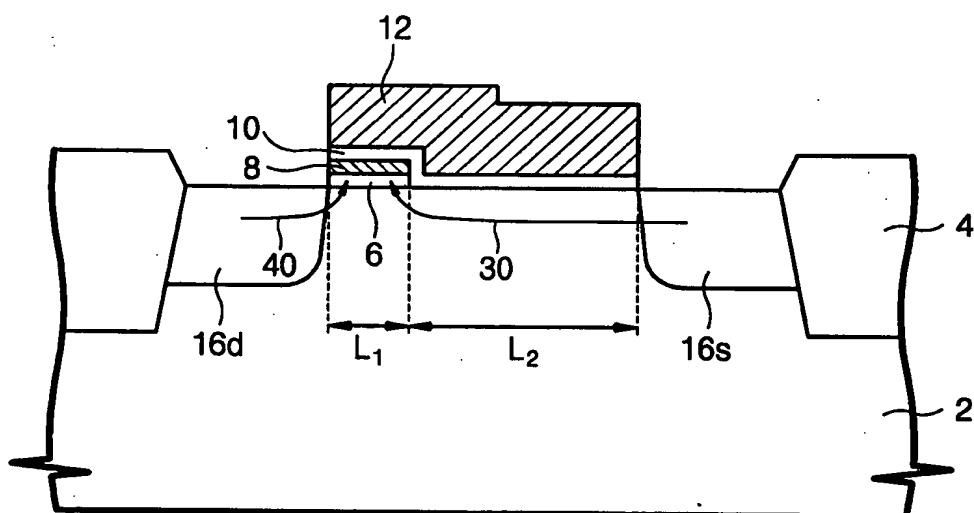
【도 1】

(종래 기술)

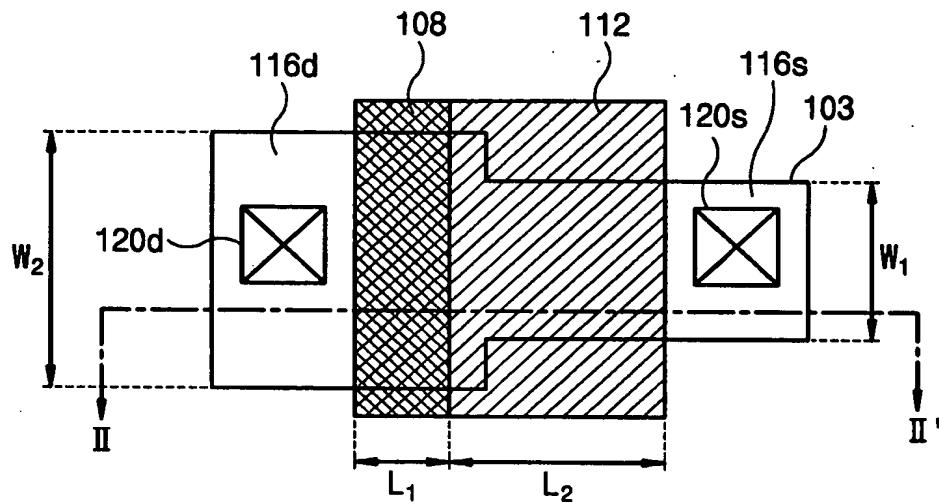


【도 2】

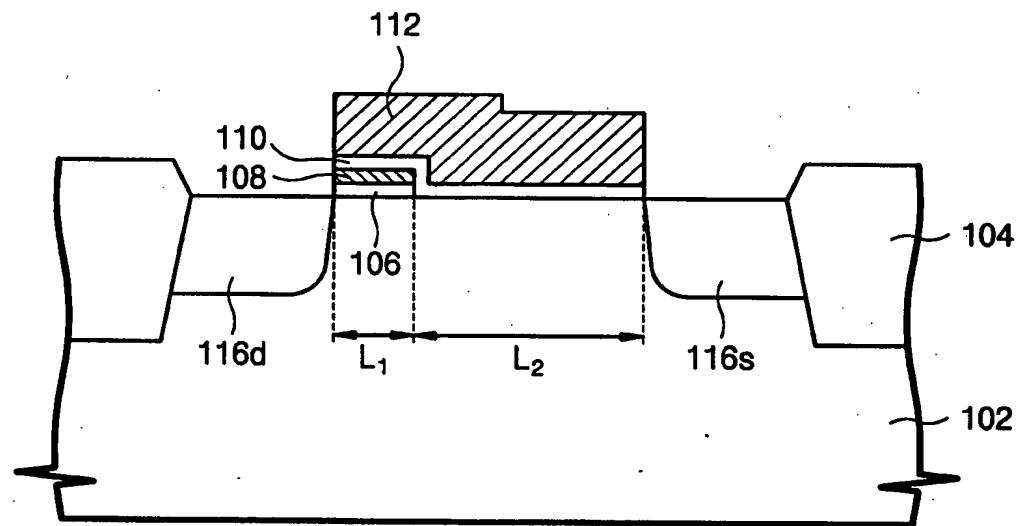
(종래 기술)



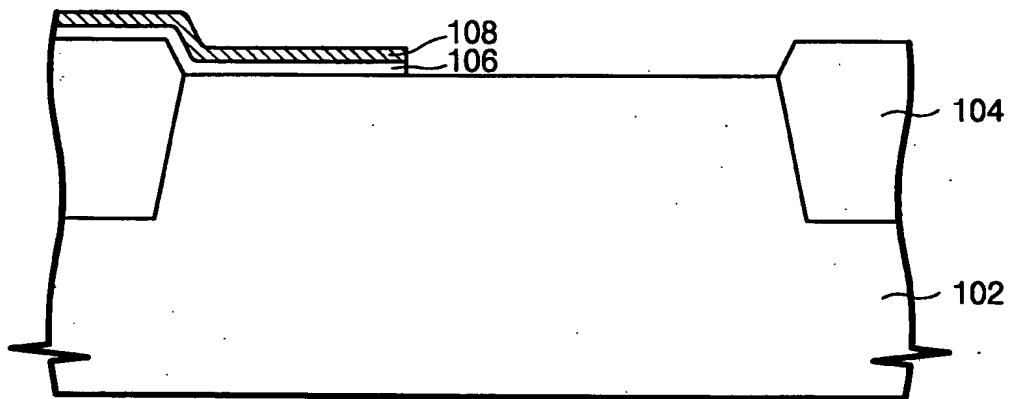
【도 3】



【도 4】



【도 5】

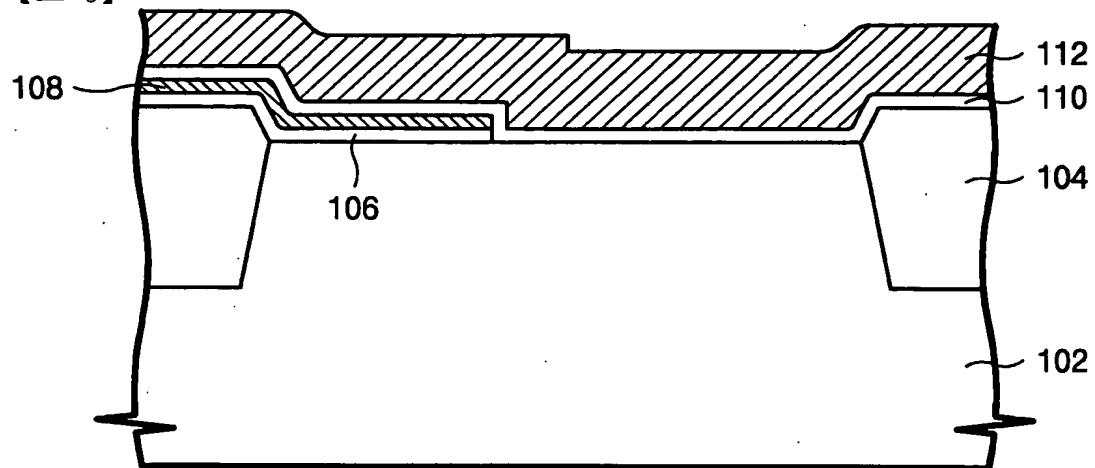




1020020065782

출력 일자: 2003/6/19

【도 6】



【도 7】

